2.13 クロック同期式シリアルデータ同時送受信

クロック同期式シリアルデータ同時送受信	使用機能	SCI3 ： クロック同期式シリアル転送機能

仕様

(1) 図1に示すようにクロック同期式シリアル転送機能を使用して、4バイトの8ビットデータの同時送受信動作を行ないます。
(2) 転送クロックは、内部クロックを使用し4μsの転送クロック周期で同時送受信動作を行います。
(3) 送受信するデータのデータ長は8ビットで、データの最下位ビットから受信するLSBファースト方式による送受信を行ないます。

図1　クロック同期式シリアルデータ同時送受信

使用機能説明

(1) 本タスク例では、シリアルコミュニケーションインタフェース（SCI：Serial Communication Interface）を使用して、クロック同期式のシリアルデータの送受信同時動作を行ないます。図2にクロック同期式シリアルデータ送受信同時動作のブロック図を示します。以下にクロック同期式シリアルデータ同時送受信のブロック図について説明します。
- システムクロック（φ）は、16MHzのOSCクロックで、CPUおよび周辺機能を動作させるための基準クロックです。
- 受信エラーの検出には、オーバランエラーのみを行います。
- クロック同期式モードではデータ長は8ビットになります。
- レシーブシフトレジスタ（RSR）は、シリアルデータを受信するためのレジスタです。RSRにRXD端子から入力されたシリアルデータを、LSB（ビット0）から受信した順にセットしパラレルデータに変換します。1バイトのデータを受信すると、データは自動的にRDRへ転送されます。CPUからRSRを直接リード/ライトすることはできません。
- レシーブデータレジスタ（RDR）は、受信したシリアルデータを格納する8ビットのレジスタです。1バイトのデータの受信が終了すると、受信したデータをRSRからRDRへ転送し、受信動作を完了します。その後、RSRは受信可能となります。RSRとRDRはダブルバッファになっているため連続した受信動作が可能です。RDRは受信専用レジスタなのでCPUからライトできません。
- トランスミットシフトレジスタ（TSR）は、シリアルデータを送信するためのレジスタです。TDRから送信データをいったんTSRに転送し、LSB（ビット0）から順にTXD端子に送出することでシリアルデータ送信を行ないます。1バイトのデータを送信すると、自動的にTDRからTSRへ次の送信データを転送し、送信を開始します。ただし、TDRにデータが書き込まれていない（TDREに"1"がセットされている）場合にはTDRからTSRへのデータ転送は行ないません。CPUからTSRを直接リード/ライトすることはできません。
- トランスミットデータレジスタ（TDR）は、送信データを格納する8ビットのレジスタです。
TSRの"空"を検出すると、TDRに書き込まれた送信データをTSRに転送し、シリアルデータ送信を開始します。TSRのシリアルデータ送信中に、TDRに次の送信データをライトしておくと、連続送信が可能です。
TDRは、常にCPUによるリード/ライトが可能です。
- シリアルモードレジスタ（SMR）は、シリアルデータ通信フォーマットの設定と、内蔵ボーレートジェネレータのクロックソースを選択するための8ビットのレジスタです。
- シリアルコントロールレジスタ3（SCR3）は、送信/受信動作および送信/受信クロックソース の選択を行なう8ビットのレジスタです。
- シリアルステータスレジスタ（SSR）は、SCI3のステータスフラグと送受信マルチプロセッサビットで構成されています。TDRE、RDRF、OER、PER、FERはクリアのみ可能です。
- 転送クロックは、8種類の内部クロックと外部クロックから選択できます。内部クロックを選択した場合は、SCK3端子は出力端子となります。クロック連続出力モードに設定すると選択したクロックをSCK3端子から連続して出力します。外部クロックを選択した場合は、SCK3端子はクロック入力端子となります。
- 本タスク例では、転送クロックソースを内蔵ボーレートジェネレータのφ/64分周クロックにし、転送クロック周期を4μsに設定しています。
- SCI3の転送フォーマットは8ビットのデータを選択可能です。データの最下位ビットから送受信されるLSBファースト方式による転送を行ないます。送信データは、転送クロックの立ち下がりから次の立ち上がりまで出力されます。また、受信データは転送クロックの立ち上がりで取り込まれます。
- 本タスク例では、動作モードを8ビットモードに設定し、8ビットのデータ送受信を行ないます。
- SCI3クロック（SCK3）は、SCI3のクロック入出力端子です。
- SCI3レシーブデータ入力（RXD）は、SCI3の受信データの入力端子です。
- SCI3トランスミットデータ出力（TXD）は、SCI3の送信データの出力端子です。

クロック同期式シリアルデータ同時送受信	使用機能	SCI3 ： クロック同期式シリアル転送機能

使用機能説明

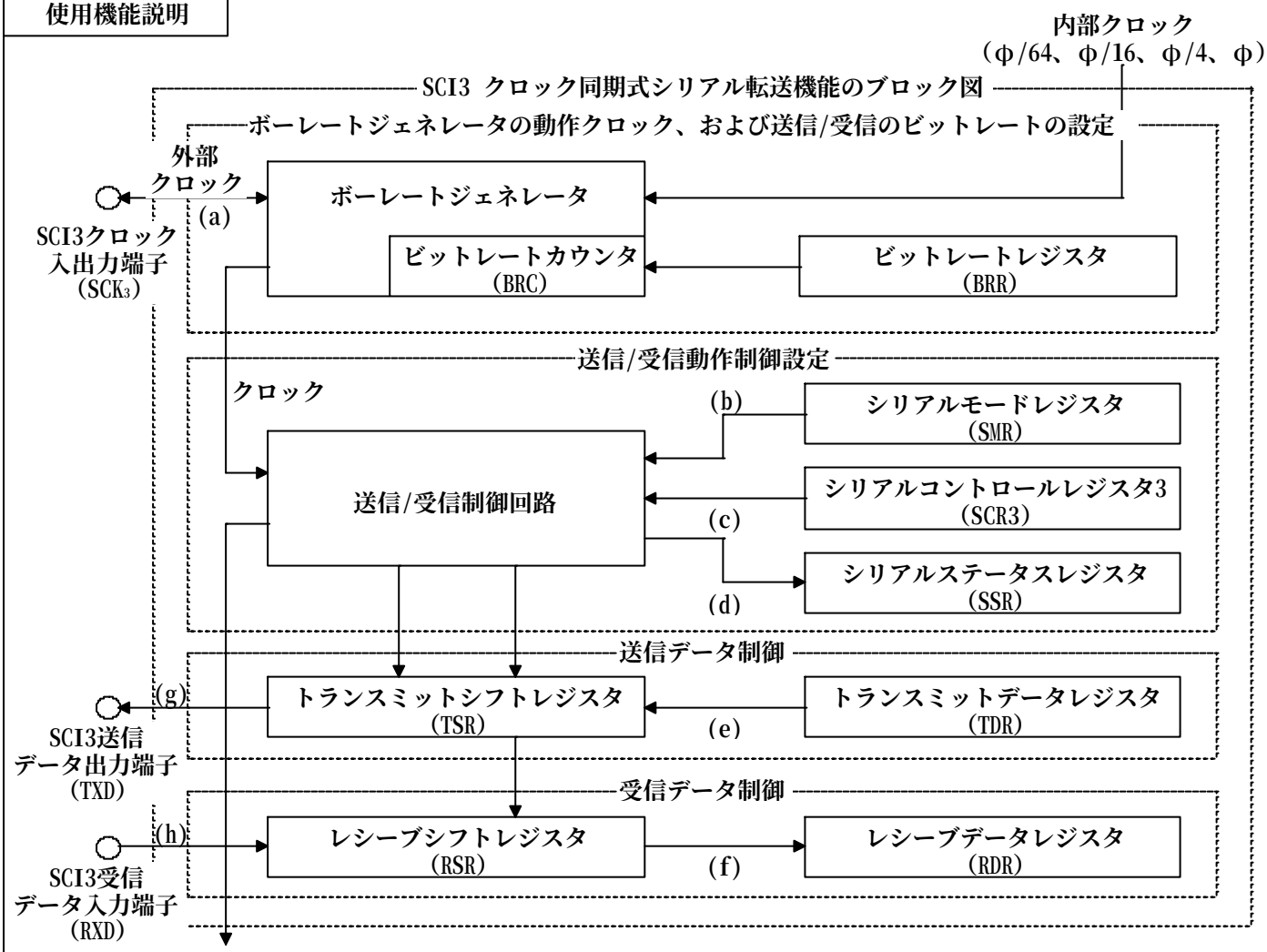


図2　クロック同期式シリアルデータ同時送受信のブロック図

【注】(a)SMRで選択されたボーレートジェネレータの動作クロック（φ/64分周）を出力する。
(b)シリアルデータ通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択します。
(c)送信/受信動作、クロック同期式モードでのクロック出力端子の選択をします。
(d)ステータスフラグ（トランスミットデータレジスタエンプティ、レシーブデータレジスタフル、オーバランエラー）によりSCI3の動作状態を示す。
(e)TSRの"空"を検出することにより、TDRに書き込まれた送信データをTSRに転送。
(f)1バイトのデータの受信が終了すると、受信したデータをRSRからRDRへ転送。
(g)送信データを送信する。
(h)受信データを受信する。

(2)表1に本タスク例の機能割付け示します。表1に示すように機能を割り付け、クロック同期式シリアルデータ送信を行ないます。

表1　機能割付け

機能	機能割付け
TSR	シリアルデータを送信するためのレジスタ
TDR	送信データを格納するレジスタ
SMR	シリアルデータ通信フォーマット、ボーレートジェネレータのクロックソースの設定
SSR	SCI3の動作状態を示すステータスフラグ
SCR3	送信動作、SCK3の端子機能をクロック出力端子設定
SCK3	SCI3のクロック出力端子
TXD	SCI3の送信データ出力端子
RXD	SCI3の受信データ入力端子
PMR1	SCI3の送信TXD出力端子設定

動作原理

(1) 図3に動作原理を示します。図3に示すようなハードウェア処理、およびソフトウェア処理によりクロック同期式シリアルデータ同時送受信動作を行ないます。

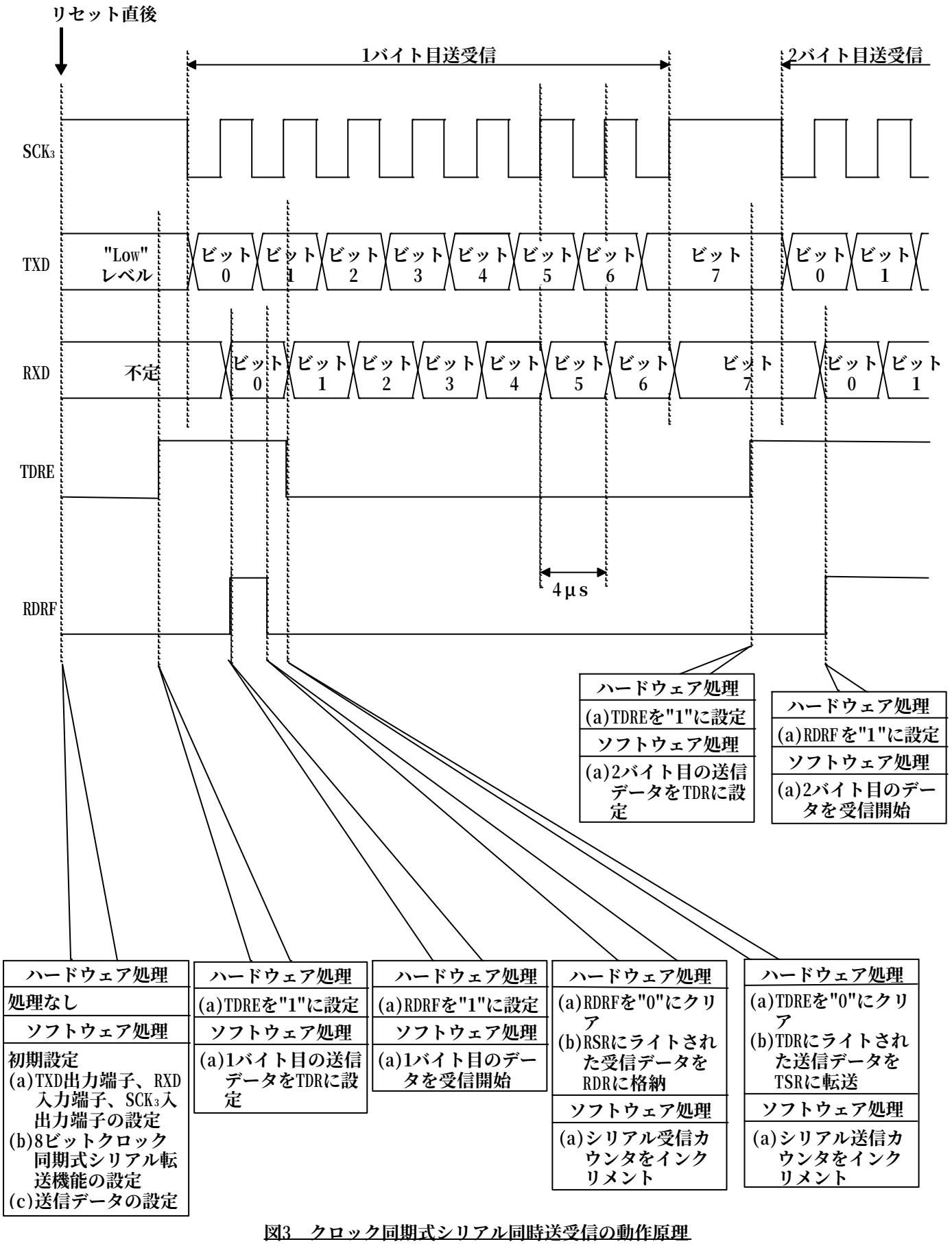


図3　クロック同期式シリアル同時送受信の動作原理

クロック同期式シリアルデータ同時送受信	使用機能	SCI3 ： クロック同期式シリアル転送機能

ソフトウェア説明

(1) モジュール説明

表2に本タスク例におけるモジュール説明を示します。

表2　モジュール説明

モジュール名	ラベル名	機能
メインルーチン	main	転送データの設定、クロック同期式シリアルデータ送受信の設定、受信データをRAMに格納、4バイトのデータを送受信したところで終了

(2) 引数の説明

表3に本タスク例で使用する引数を示します。

表3　引数の説明

引数名	機能	使用モジュール名	データ長	入出力
STD0～STD3	クロック同期式シリアル送信データ	メインルーチン	1バイト	入力
SRD0～SRD3	クロック同期式シリアル受信データ	メインルーチン	1バイト	出力

(3) 使用内部レジスタ説明

表4に本タスク例における使用内部レジスタ説明を示します。

表4　使用内部レジスタ説明

レジスタ名		機能	アドレス	設定値
SMR	COM	シリアルモードレジスタ（コミュニケーションモード） ：COM="1"のとき、コミュニケーションモードをクロック同期式モードに設定	H'FFA8 ビット7	1
	MP	シリアルモードレジスタ（マルチプロセッサモード） ：クロック同期式モードではこのビットは"0"に設定する。	H'FFA8 ビット2	0
	CKS1 CKS0	シリアルモードレジスタ（クロックセレクト1、0） ：CKS1="1"、CKS0="1"のとき、内蔵ボーレートジェネレータのクロックソースをφ/64分周クロックに設定	H'FFA8 ビット1 ビット0	CKS1="1" CKS0="1"
SCR3	TE	シリアルコントロールレジスタ3（トランスミットイネーブル） ：TE="1"のとき、送信動作が可能になります。	H'FFAA ビット5	0
	RE	シリアルコントロールレジスタ3（レシーブイネーブル） ：RE="1"のとき、受信動作を許可	H'FFAA ビット4	0
	CKE1 CKE0	シリアルコントロールレジスタ3（クロックイネーブル1、0） ：CKE1="0"、CKE0="0"のとき、クロック同期式モードにおいてクロックソースを内部クロック、SCK_3端子機能をクロック出力に設定	H'FFAA ビット1 ビット0	CKE1="0" CKE0="0"
TDR		トランスミットデータレジスタ ：送信データを格納する8ビットのレジスタ	H'FFAB	-
SSR	TDRE	シリアルステータスレジスタ （トランスミットデータエンプティ） ：TDRE="0"のとき、TDRにライトされた送信データがTSRに転送されていないことを示す ：TSRE="1"のとき、TDRに送信データがライトされていない、またはTDRにライトされた送信データがTSRに転送されたことを示す	H'FFAC ビット7	1
	RDRF	シリアルステータスレジスタ（レシーブデータレジスタフル） ：RDRF="0"のとき、RDRに受信データが格納されていない。 ：RDRF="1"のとき、RDRに受信データが格納されている。	H'FFAC ビット6	1
	OER	シリアルステータスレジスタ（オーバランエラー） ：OER="0"のとき、受信中、または受信を完了 ：OER="1"のとき、受信時にオーバランエラーが発生	H'FFAC ビット5	0
	TEND	シリアルステータスレジスタ（トランスミットエンド） ：TEND="0"のとき、送信中であることを示す ：TEND="1"のとき、送信を終了したことを示す	H'FFAC ビット2	1
RDR		レシーブデータレジスタ ：受信データを格納する8ビットのレジスタ	H'FFAD	-
PMR1	PMR11	ポートモードレジスタ1（$P2_2$/TXD端子機能切り替え） ：PMR11="1"のとき、$P2_2$/TXD端子をTXD端子機能に設定	H'FFE0 ビット1	1

(4) 使用RAM説明

表5に本タスク例における使用RAM説明を示します。

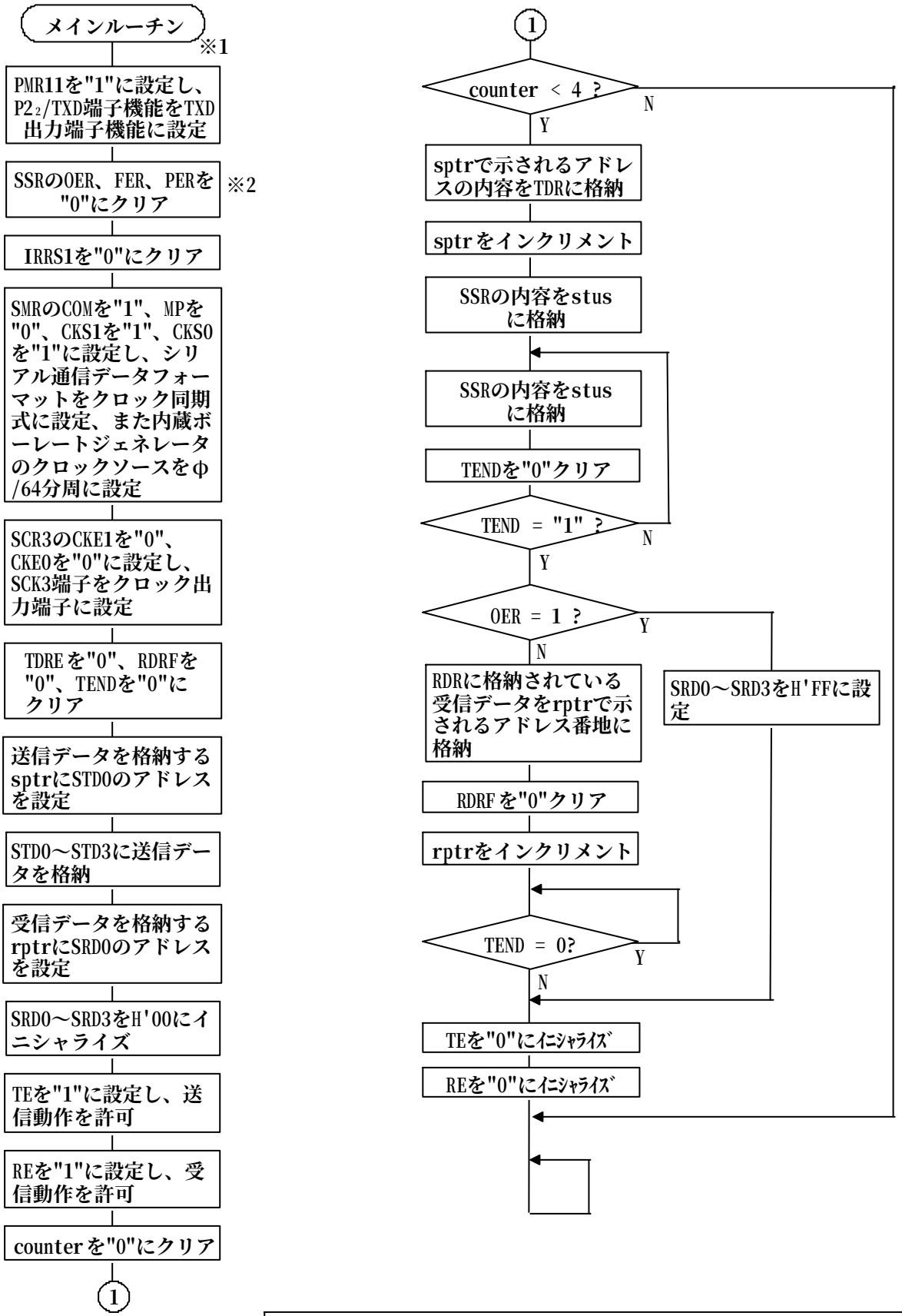
表5　使用RAM説明

ラベル名	機能	アドレス	使用モジュール名
STD0	クロック同期式シリアル送信データの1バイト目を格納	H'FB80	メインルーチン
STD1	クロック同期式シリアル送信データの2バイト目を格納	H'FB81	メインルーチン
STD2	クロック同期式シリアル送信データの3バイト目を格納	H'FB82	メインルーチン
STD3	クロック同期式シリアル送信データの4バイト目を格納	H'FB83	メインルーチン
SRD0	クロック同期式シリアル受信データの1バイト目を格納	H'FB84	メインルーチン
SRD1	クロック同期式シリアル受信データの2バイト目を格納	H'FB85	メインルーチン
SRD2	クロック同期式シリアル受信データの3バイト目を格納	H'FB86	メインルーチン
SRD3	クロック同期式シリアル受信データの4バイト目を格納	H'FB87	メインルーチン
counter	クロック同期式シリアル同時送受信動作を4カウントする8ビットカウンタ	H'FB88	メインルーチン

クロック同期式シリアルデータ同時送受信	使用機能	SCI3 ： クロック同期式シリアル転送機能

フローチャート

(a) メインルーチン



※1：本例ではスタックポインタはINIT.SRC（アセンブリ言語）で設定してあります。
※2：クロック同期式（同時送受信）ではOER、FER、PERを"0"クリアにしておく必要がある。

プログラムリスト

INIT.SRC（プログラムリスト）

```
        .EXPORT  _INIT
        .IMPORT  _main
;
        .SECTION    P,CODE
_INIT:
        MOV.W    #H'FF80,R7
        LDC.B    #B'10000000,CCR
        JMP              @_main
;
        .END
```

```
/************************************************************/
/*                                                          */
/*  H8/300H Tiny Series -H8/3664-                           */
/*  Application Note                                        */
/*                                                          */
/*  'Synchronous Serial Data Simultaneous                   */
/*   Transmission/Reception'                                */
/*                                                          */
/*  Function                                                */
/*  : Serial Communication Interface                        */
/*     Synchronous Serial Interface                         */
/*     -Transmitting/Receiving                              */
/*                                                          */
/*  External Clock : 16MHz                                  */
/*  Internal Clock : 16MHz                                  */
/*  Sub Clock      : 32.768kHz                              */
/*                                                          */
/************************************************************/

#include    <machine.h>

/************************************************************/
/*  Symbol Defnition                                        */
/************************************************************/
struct BIT {
    unsigned char    b7:1;      /* bit7 */
    unsigned char    b6:1;      /* bit6 */
    unsigned char    b5:1;      /* bit5 */
    unsigned char    b4:1;      /* bit4 */
    unsigned char    b3:1;      /* bit3 */
    unsigned char    b2:1;      /* bit2 */
    unsigned char    b1:1;      /* bit1 */
    unsigned char    b0:1;      /* bit0 */
};
#define    SMR_BIT (*(struct BIT *)0xFFA8)          /* Serial Mode Register            */
#define    COM     SMR_BIT.b7                       /* Communication Mode              */
#define    CHR     SMR_BIT.b6                       /* Character Length                */
#define    PE      SMR_BIT.b5                       /* Parity Enable                   */
#define    PM      SMR_BIT.b4                       /* Parity Mode                     */
#define    STOP    SMR_BIT.b3                       /* Stop Bit Length                 */
#define    MP      SMR_BIT.b2                       /* Multiprocesor Mode              */
#define    CKS1    SMR_BIT.b1                       /* Clock Slsct 1                   */
#define    CKS0    SMR_BIT.b0                       /* Clock Slsct 0                   */
#define    BRR     *(volatile unsigned char *)0xFFA9  /* Bit Rate Register             */
#define    SCR3_BIT (*(struct BIT *)0xFFAA)         /* Serial Control Register 3       */
#define    TIE     SCR3_BIT.b7                      /* Transmit Interrupt Enable       */
#define    RIE     SCR3_BIT.b6                      /* Receive Interrupt Enable        */
#define    TE      SCR3_BIT.b5                      /* Transmit Enable                 */
#define    RE      SCR3_BIT.b4                      /* Receive Enable                  */
#define    MPIE    SCR3_BIT.b3                      /* Multiprocessor Interrupt Enable */
#define    TEIE    SCR3_BIT.b2                      /* Transmit End Interrupt Enable   */
#define    CKE1    SCR3_BIT.b1                      /* Clock Enable 1                  */
#define    CKE0    SCR3_BIT.b0                      /* Clock Enable 0                  */
#define    TDR     *(volatile unsigned char *)0xFFAB  /* Transmit Data Register        */
#define    SSR     *(volatile unsigned char *)0xFFAC  /* Serial Status Register        */
#define    SSR_BIT (*(struct BIT *)0xFFAC)          /* Serial Status Register          */
#define    TDRE    SSR_BIT.b7                       /* Transmit Data Register Empty    */
```

プログラムリスト

```
#define    RDRF     SSR_BIT.b6                        /* Receive Data Register Full      */
#define    OER      SSR_BIT.b5                        /* Overrun Erorr                   */
#define    FER      SSR_BIT.b4                        /* Framing Erorr                   */
#define    PER      SSR_BIT.b3                        /* Parity Erorr                    */
#define    TEND     SSR_BIT.b2                        /* Transmit End                    */
#define    MPBR     SSR_BIT.b1                        /* Multiprocessor Bit Receive      */
#define    MPBT     SSR_BIT.b0                        /* Multiprocessor Bit Transfer     */
#define    PMR1_BIT (*(struct BIT *)0xFFE0)           /* Port Mode Register 1            */
#define    PMR11    PMR1_BIT.b1                       /* Port Mode Register 1 Bit 1      */
#define    RDR      *(volatile unsigned char *)0xFFAD /* Receive Data Register           */

/*********************************************************/
/*  関数定義                                             */
/*********************************************************/
extern  void    INIT( void );                          /* SP Set                          */
void    main    ( void );

/*********************************************************/
/*   RAM Allocation                                      */
/*********************************************************/
    unsigned char   STD[4];
    unsigned char   SRD[4];
    unsigned char   counter;

/*********************************************************/
/*  Vector Address                                       */
/*********************************************************/
#pragma section     V1                                 /* VECTOR SECTOIN SET              */
void (*const VEC_TBL1[])(void) = {
/* 0x00 - 0x0f */
    INIT                                               /* 00 Reset                        */
};

#pragma section                                        /* P                               */
/*********************************************************/
/*   Main Program                                        */
/*********************************************************/
void main ( void )
{
    unsigned char   stus;
    unsigned char   *sptr,*rptr;

    PMR11 = 1;                                         /* Initialize Output Port TXD                */

    OER = 0;                                           /* Clear OER                                 */
    FER = 0;                                           /* Clear FER                                 */
    PER = 0;                                           /* Clear PER                                 */

    COM = 1;                                           /* Initialize Communication Mode             */
    MP = 0;                                            /* Initialize Multiprocesor Mode             */

    CKS1 = 1;                                          /* Initialize Clock Select 1 φ/64            */
    CKS0 = 1;                                          /* Initialize Clock Select 0 φ/64            */

    CKE1 = 0;                                          /* Initialize Clock Enable 1    Output       */
    CKE0 = 0;                                          /* Initialize Clock Enable 0    Output       */

    TDRE = 0;                                          /* Clear TDRE                                */
    RDRF = 0;                                          /* Clear RDRF                                */
    TEND = 0;                                          /* Clear TEND                                */

    sptr = &STD[0];                                    /* Initialize Serial Transmitting Data Address */

    STD[0] = 0x00;                                     /* Set Serial Transfer Data 0                */
    STD[1] = 0x55;                                     /* Set Serial Transfer Data 1                */
    STD[2] = 0xAA;                                     /* Set Serial Transfer Data 2                */
    STD[3] = 0xFF;                                     /* Set Serial Transfer Data 3                */
```

プログラムリスト

```
   rptr = &SRD[0];                          /* Initialize Serial Receiv ing Data Address    */

    SRD[0] = 0x00;                          /* Initialize Serial Receiving Data 0           */
    SRD[1] = 0x00;                          /* Initialize Serial Receiving Data 1           */
    SRD[2] = 0x00;                          /* Initialize Serial Receiving Data 2           */
    SRD[3] = 0x00;                          /* Initialize Serial Receiving Data 3           */

    TE = 1;                                 /* Start Serial Transmitting                    */

    RE = 1;                                 /* Start Serial Receiving                       */

    for(counter = 0 ; counter < 4 ; counter++){   /* Serial Transmitting Data Counter 4 Loop    */

        TDR = *sptr;                        /* Save Serial Transmitting Data                */

        sptr++;                             /* Increment Serial Transmittimg Data Address   */

        stus = SSR;                         /* Serial Status Register read & save           */

        while((stus & 0x04) == 0){          /* End Serial Transmitting                      */
            stus = SSR;                     /* Serial Status Register read & save           */
            TEND = 0;
        }

        if ((stus & 0x20) != 0){            /* Overrun Erorr Flag = 1 ?                     */
            SRD[0] = 0xFF;                  /* Overrun Erorr 0                              */
            SRD[1] = 0xFF;                  /* Overrun Erorr 1                              */
            SRD[2] = 0xFF;                  /* Overrun Erorr 2                              */
            SRD[3] = 0xFF;                  /* Overrun Erorr 3                              */
            break;
        }
        else    {
            *rptr = RDR;                    /* Save Serial Receiving Data                   */
            RDRF = 0;
            rptr++;                         /* Increment Serial Receiving Data Address      */
        }

    }

    while(TEND != 1){                       /* End Serial Transmitting                      */
        ;
    }
    TE = 0;                                 /* Initialize Transmitting Enable               */
    RE = 0;                                 /* Initialize Receiving Enable                  */

    while(1){
       ;
    }
}
```

リンクアドレス指定

セクション名	アドレス
CV1	H'0000
P	H'0100
B	H'FB80